

产品特性

低噪声：11 $\mu\text{V rms}$ ，与固定输出电压无关
 电源抑制比(PSRR)：88 dB (10 kHz)、68 dB (100 kHz)、
 50 dB (1 MHz)($V_{\text{OUT}} \leq 5 \text{ V}$, $V_{\text{IN}} = 7 \text{ V}$)
 输入电压范围：2.7 V至20 V
 最大输出电流：200 mA
 初始精度： $\pm 0.8\%$
 线路、负载和温度范围内的精度
 $\pm 1.1\%$ ($T_j = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$)
 $\pm 1.8\%$ ($T_j = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$)
 低压差：200 mV(典型值，200 mA负载， $V_{\text{OUT}} = 5 \text{ V}$)
 用户可编程软启动(仅LFCSP和SOIC封装提供)
 低静态电流， $I_{\text{GND}} = 50 \mu\text{A}$ (典型值，无负载)
 低关断电流：1.8 μA ($V_{\text{IN}} = 5 \text{ V}$)，3.0 μA ($V_{\text{IN}} = 20 \text{ V}$)
 使用小型2.2 μF 陶瓷输出电容保持稳定
 固定输出电压选项：1.8 V、2.5 V、3.3 V和5.0 V
 提供1.2 V至5.0 V范围内的16种标准电压
 可调输出电压范围：1.2 V至 $V_{\text{IN}} - V_{\text{DO}}$ (输出可调节至初始设定点以上)
 精密使能
 2 mm $\times$ 2 mm 6引脚LFCSP、8引脚SOIC、5引脚TSOT

应用

适应噪声敏感应用

ADC和DAC电路，精密放大器，适合为VCO V_{TUNE} 控制供电

通信和基础设施

医疗和保健

工业与仪器仪表

受ADIsimPower工具支持

概述

ADP7118是一款CMOS、低压差(LDO)线性稳压器，采用2.7 V至20 V电源供电，最大输出电流为200 mA。这款高输入电压LDO适用于调节20 V至1.2 V供电的高性能模拟和混合信号电路。该器件采用先进的专有架构，提供高电源抑制、低噪声特性，仅需一个2.2 μF 小型陶瓷输出电容，便可实现出色的线路与负载瞬态响应性能。ADP7118稳压器输出噪声为11 $\mu\text{V rms}$ ，与5 V及以下的固定选项输出电压无关。

ADP7118提供16种固定输出电压选项。现有库存提供下列电压版本：1.2 V(可调节)、1.8 V、2.5 V、3.3 V和5.0 V。根据特殊要求，还可提供下列电压版本：1.5 V、1.85 V、2.0 V、2.2 V、2.75 V、2.8 V、2.85 V、3.8 V、4.2 V和4.6 V。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

典型应用电路

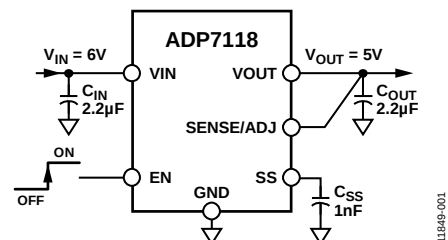


图1. 提供5 V固定输出电压的ADP7118

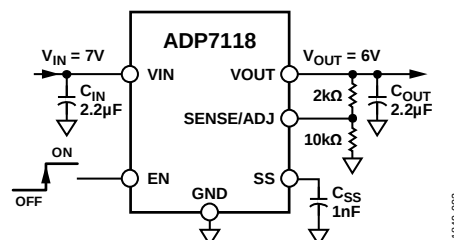


图2. 提供5 V输出的ADP7118，调节至6 V

每个固定输出电压都可以通过外部反馈分压器在初始设定点以上调整。这使ADP7118可提供1.2 V至 $V_{\text{IN}} - V_{\text{DO}}$ 的输出电压且具有高PSRR和低噪声。

LFCSP和SOIC封装支持通过外部电容进行用户可编程软启动。

ADP7118提供6引脚、2 mm $\times$ 2 mm LFCSP封装，不仅非常紧凑，而且具有出色的散热性能，适合要求最大200 mA输出电流的薄型、小尺寸应用。ADP7118也提供5引脚TSOT封装和8引脚SOIC封装。

ADP7118

目录

产品特性	1	工作原理	13
应用	1	应用信息	14
典型应用电路	1	ADIsimPower设计工具	14
概述	1	电容选择	14
修订历史	2	可编程精密使能	15
规格	3	软启动	15
推荐规格：输入和输出电容	4	ADP7118可调模式的降噪特性	16
绝对最大额定值	5	限流和热过载保护	16
热数据	5	散热考虑	17
热阻	5	印刷电路板布局考量	20
ESD警告	5	外形尺寸	22
引脚配置和功能描述	6	订购指南	23
典型性能参数	7		

修订历史

2014年9月—修订版0：初始版

规格

除非另有说明， $V_{IN} = V_{OUT} + 1\text{ V}$ 或 2.7 V (取较大者)， $V_{OUT} = 5\text{ V}$ ， $EN = V_{IN}$ ， $I_{OUT} = 10\text{ mA}$ ， $C_{IN} = C_{OUT} = 2.2\text{ }\mu\text{F}$ ， $C_{SS} = 0\text{ pF}$ ，典型值规格为 $T_A = 25^\circ\text{C}$ ，最小值/最大值规格为 $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入电压范围	V_{IN}		2.7		20	V
工作电源电流	I_{GND}	$I_{OUT} = 0\text{ }\mu\text{A}$ $I_{OUT} = 10\text{ mA}$ $I_{OUT} = 200\text{ mA}$		50 80 180	140 190 320	μA μA μA
关断电流	I_{GND-SD}	$EN = GND$ $EN = GND, V_{IN} = 20\text{ V}$ $EN = GND$	1.8 3.0		10	μA μA μA
输出电压精度	V_{OUT}	$I_{OUT} = 10\text{ mA}$ ， $T_J = 25^\circ\text{C}$	-0.8		+0.8	%
输出电压精度		$100\text{ }\mu\text{A} < I_{OUT} < 200\text{ mA}$ ， $V_{IN} = (V_{OUT} + 1\text{ V})$ 至 20 V ， $T_J = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	-1.2		+1.5	%
		$100\text{ }\mu\text{A} < I_{OUT} < 200\text{ mA}$ ， $V_{IN} = (V_{OUT} + 1\text{ V})$ 至 20 V	-1.8		+1.8	%
电压调整率	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 1\text{ V})$ 至 20 V	-0.015		+0.015	%/V
负载调整率 ¹	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100\text{ }\mu\text{A}$ 至 200 mA	0.002	0.004		%/mA
SENSE输入偏置电流	$SENSE_{I-BIAS}$	$100\text{ }\mu\text{A} < I_{OUT} < 200\text{ mA}$ ， $V_{IN} = (V_{OUT} + 1\text{ V})$ 至 20 V	10	1000		nA
压差 ²	$V_{DROPOUT}$	$I_{OUT} = 10\text{ mA}$ $I_{OUT} = 200\text{ mA}$	30 200	60 420		mV mV
启动时间 ³	$t_{START-UP}$	$V_{OUT} = 5\text{ V}$	380			μs
软启动源电流	$SS_{I-SOURCE}$	$SS = GND$	1.15			μA
限流阈值 ⁴	I_{LIMIT}		250	360	460	mA
热关断	TS_{SD} TS_{SD-HYS}	T_J 上升	150			$^\circ\text{C}$
热关断阈值			15			$^\circ\text{C}$
欠压阈值	$UVLO_{RISE}$ $UVLO_{FALL}$ $UVLO_{HYS}$		2.2		2.69	V
输入电压上升						V
输入电压下降				230		mV
精密EN输入	EN_{HIGH} EN_{LOW} EN_{HYS} I_{EN-LKG} t_{EN-DLY}	$2.7\text{ V} \leq V_{IN} \leq 20\text{ V}$	1.15	1.22	1.30	V
逻辑高电平			1.06	1.12	1.18	V
逻辑低电平				100		mV
逻辑迟滞				0.04	1	μA
漏电流		$EN = V_{IN}$ 或 GND		80		μs
延迟时间		EN 从 0 V 上升到 V_{IN} 为 $0.1 \times V_{OUT}$				
输出噪声	OUT_{NOISE}	10 Hz至100 kHz，所有输出电压选项	11			$\mu\text{V rms}$
电源抑制比	PSRR	1 MHz， $V_{IN} = 7\text{ V}$ ， $V_{OUT} = 5\text{ V}$ 100 kHz， $V_{IN} = 7\text{ V}$ ， $V_{OUT} = 5\text{ V}$ 10 kHz， $V_{IN} = 7\text{ V}$ ， $V_{OUT} = 5\text{ V}$	50 68 88			dB dB dB

¹ 基于使用100 μA 和200 mA负载的端点计算。1 mA以下负载的典型负载调整性能见图7。

² 压差定义为将输入电压设置为标称输出电压时的输入至输出电压差。压差仅适用于2.7 V以上的输出电压。

³ 启动时间定义为EN的上升沿到OUT达到其标称值90%的时间。

⁴ 限流阈值定义为输出电压降至额定典型值90%时的电流。例如，5.0 V输出电压的电流限值定义为引起输出电压降至5.0 V的90%或即4.5 V的电流。

ADP7118

推荐规格：输入和输出电容

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入和输出电容						
最小电容 ¹	C_{MIN}	$T_A = -40^{\circ}C$ 至 $+125^{\circ}C$	1.5			μF
电容等效串联电阻(ESR)	R_{ESR}	$T_A = -40^{\circ}C$ 至 $+125^{\circ}C$	0.001		0.3	Ω

¹ 在所有工作条件下，输入和输出电容至少须大于1.5 μF 。选择器件时必须考虑应用的所有工作条件，确保达到最小电容要求。配合任何LDO使用时，建议使用X7R型和X5R型电容，而不建议使用Y5V和Z5U电容。

绝对最大额定值

表3.

参数	额定值
VIN至GND	−0.3 V至+24 V
VOUT至GND	−0.3 V至VIN
EN至GND	−0.3 V至+24 V
SENSE/ADJ至GND	−0.3 V至+6 V
SS至GND	−0.3 V至VIN或+6 V (取较小者)
存储温度范围	−65°C至+150°C
结温(T _J)	150°C
工作环境温度(T _A)范围	−40°C至+125°C
焊接条件	JEDEC J-STD-020

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热数据

绝对最大额定值仅适合单独应用，但不适合组合使用。超过结温限值，可致ADP7118损坏。监控环境温度并不能保证T_J不会超出额定温度限值。在功耗高、热阻差的应用中，可能必须降低最大环境温度。

在功耗中等且印刷电路板(PCB)热阻较低的应用中，只要结温在额定限值以内，则最高环境温度可以超过最大限值。器件的结温取决于环境温度、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。

最大T_J由T_A和P_D计算得出，公式如下：

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (1)$$

封装的θ_{JA}利用4层板建模计算得出。θ_{JA}主要取决于应用和板布局。在最大功耗较高的应用中，需要特别注意热板设计。θ_{JA}的值可能随PCB材料、布局和环境条件不同而异。θ_{JA}额定值基于一个4层、4英寸×3英寸电路板。有关板结构的详细信息，请参考JESD51-7和JESD51-9。

Ψ_{JB}是结至板热特性参数，单位为°C/W。封装的Ψ_{JB}基于使用4层板的建模和计算方法。JESD51-12“报告和使用电子封装热信息指南”中声明，热特性参数与热阻不是一回事。Ψ_{JB}衡量沿多条热路径流动的器件功率，而热阻θ_{JB}只涉及一条路径。因此，Ψ_{JB}热路径包括来自封装顶部的对流和封装的辐射，这些因素使得Ψ_{JB}在现实应用中更有用。最大T_J由板温T_B和P_D计算得出，公式如下：

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (2)$$

有关Ψ_{JB}的更详细信息，请参考JESD51-8和JESD51-12。

热阻

θ_{JA}、θ_{JC}和Ψ_{JB}针对最差条件，即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ _{JA}	θ _{JC}	Ψ _{JB}	单位
6引脚 LFCSP	72.1	42.3	47.1	°C/W
8引脚 SOIC	52.7	41.5	32.7	°C/W
5引脚 TSOT	170	N/A ¹	43	°C/W

¹ N/A表示不适用。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADP7118

引脚配置和功能描述

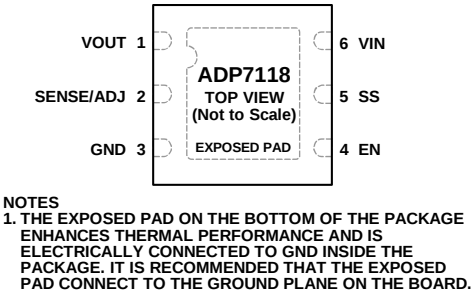


图3. 6引脚LFCSP的引脚配置

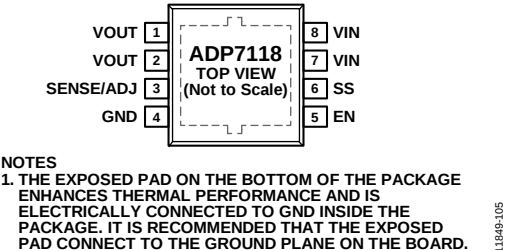


图5. 8引脚SOIC的引脚配置

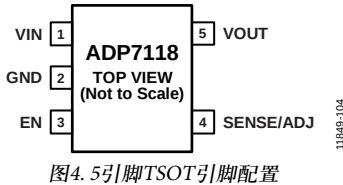


图4. 5引脚TSOT引脚配置

表5. 引脚功能描述

引脚编号			引脚名称	说明
6引脚 LFCSP	8引脚 SOIC	5引脚 TSOT		
1	1, 2	5	VOUT	调节后输出电压。使用2.2 μ F或更大的电容旁路VOUT至GND。
2	3	4	SENSE/ADJ	检测输入(SENSE)。连接到负载。还可使用外部电阻分压器将输出电压设为高于固定输出电压(ADJ)。
3	4	2	GND	地。
4	5	3	EN	使能引脚控制LDO的工作。EN接到高电平时，稳压器启动。EN接到低电平时，稳压器关断。若要实现自动启动，请将EN接VIN。
5	6	不适用	SS	软启动。连接到此引脚的一个外部电容决定软启动时间。此引脚保持开路可获得320 μ s典型启动时间。请勿将此引脚接地。
6	7, 8	1	VIN EP	稳压器输入电源。使用2.2 μ F或更大的电容旁路VIN至GND。 裸露焊盘。封装底部的裸露焊盘可增强散热性能，它与封装内部的GND之间存在电气连接。建议将裸露焊盘连接到板上的接地层。

典型性能参数

除非另有说明, $V_{IN} = V_{OUT} + 1\text{ V}$ 或 2.7 V (取较大者), $V_{OUT} = 5\text{ V}$, $I_{OUT} = 10\text{ mA}$, $C_{IN} = C_{OUT} = 2.2\text{ }\mu\text{F}$, $T_A = 25^\circ\text{C}$ 。

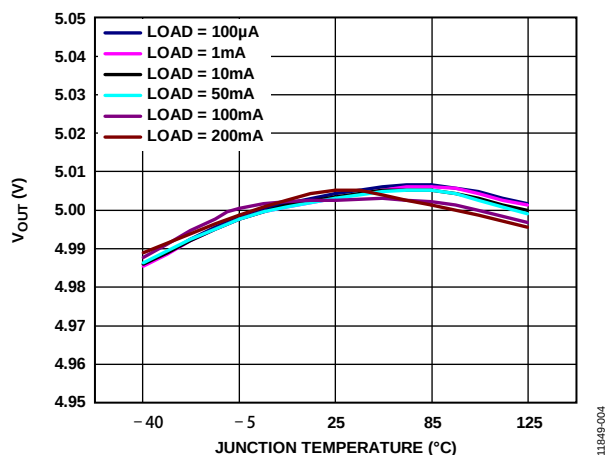


图6. 输出电压(V_{OUT})与结温的关系

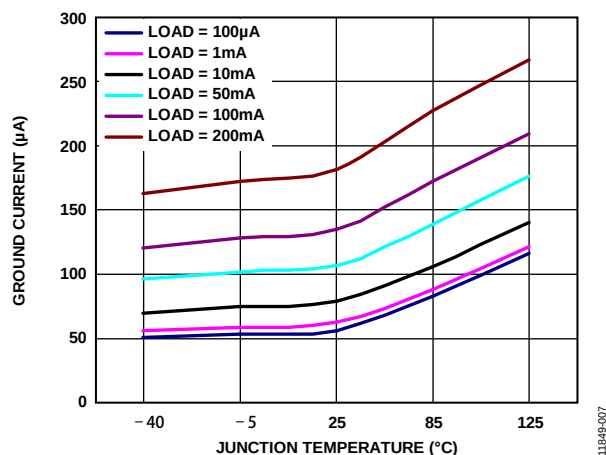


图9. 接地电流与结温的关系

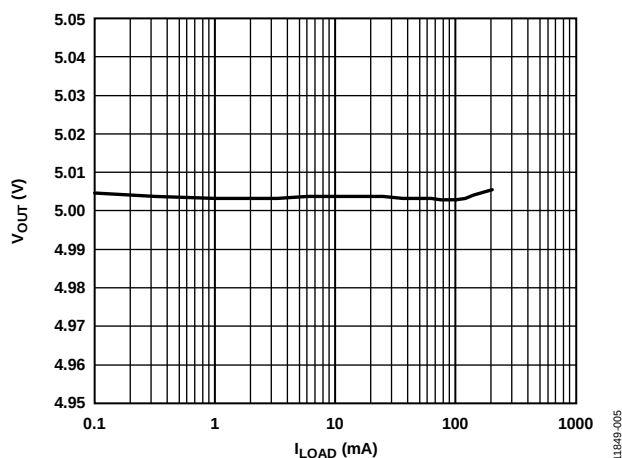


图7. 输出电压(V_{OUT})与负载电流(I_{LOAD})的关系

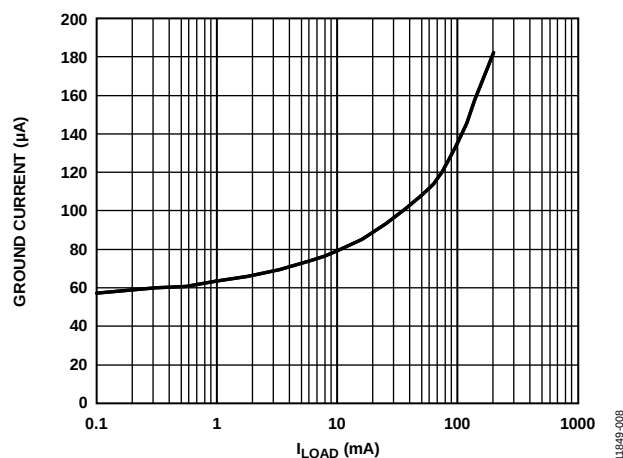


图10. 地电流与负载电流(I_{LOAD})的关系

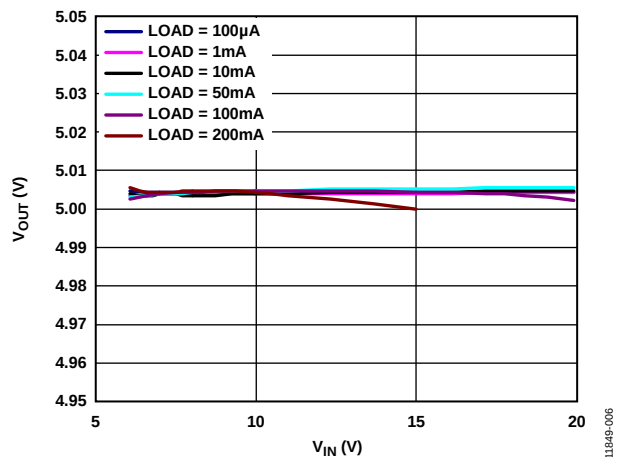


图8. 输出电压(V_{OUT})与输入电压(V_{IN})的关系

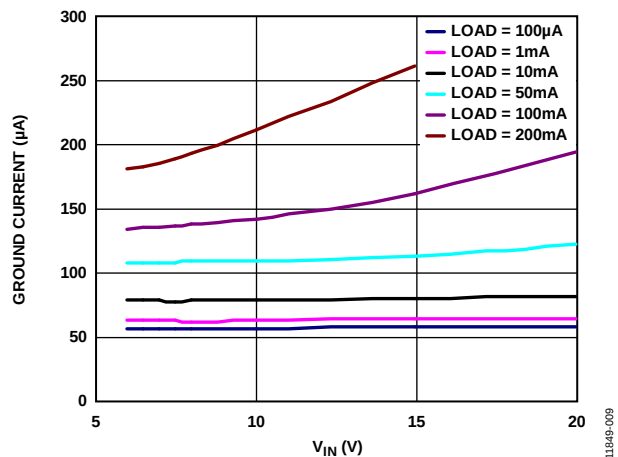


图11. 地电流与输入电压(V_{IN})的关系

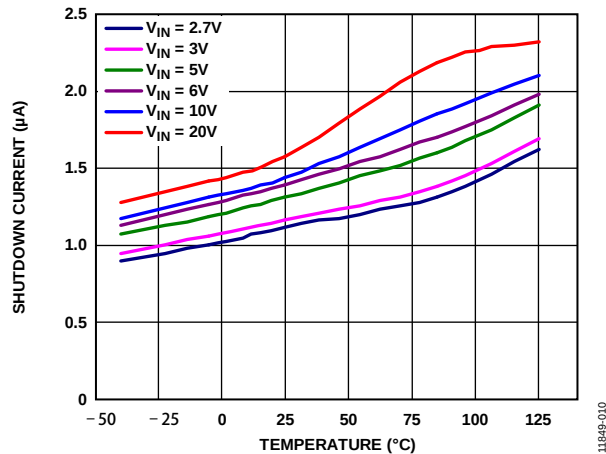


图12. 不同输入电压下关断电流与温度的关系

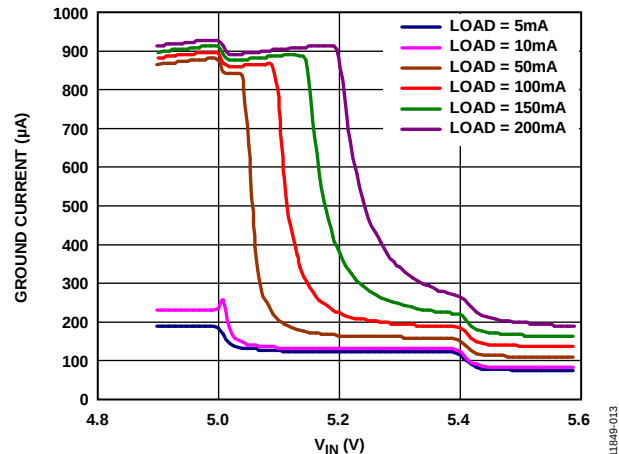


图15. 压差条件下接地电流与输入电压(V_{IN})的关系, $V_{OUT} = 5 V$

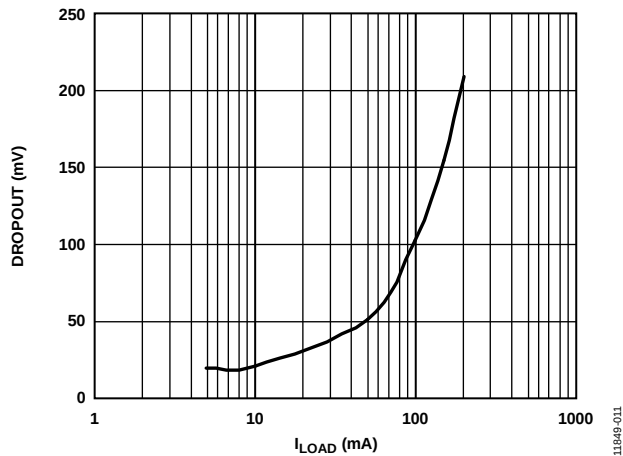


图13. 压差与负载电流(I_{LOAD})的关系, $V_{OUT} = 5 V$

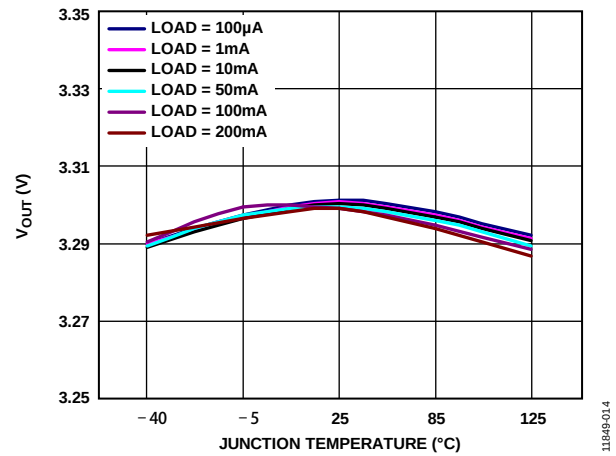


图16. 输出电压(V_{OUT})与结温的关系, $V_{OUT} = 3.3 V$

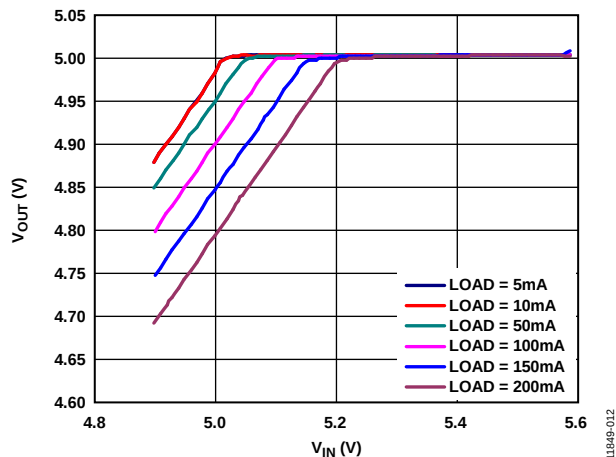


图14. 压差条件下输出电压(V_{OUT})与输入电压(V_{IN})的关系, $V_{OUT} = 5 V$

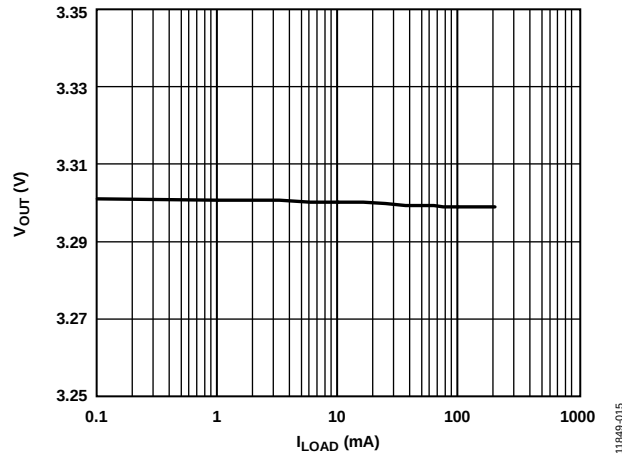
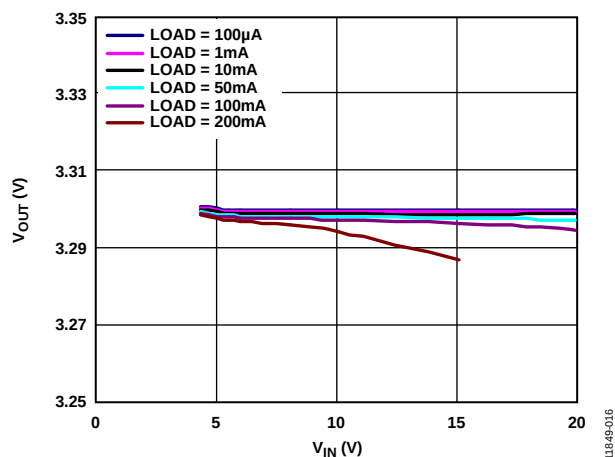
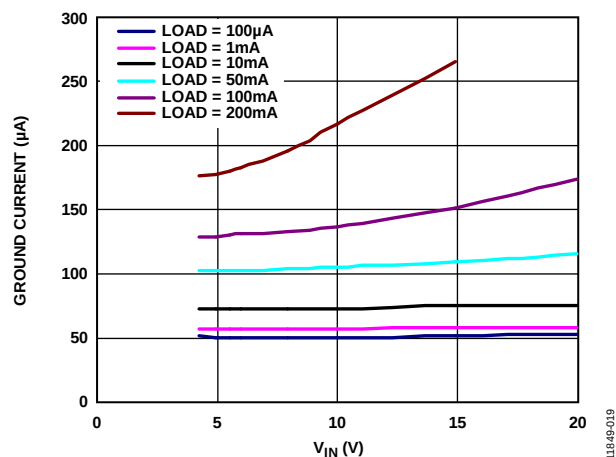
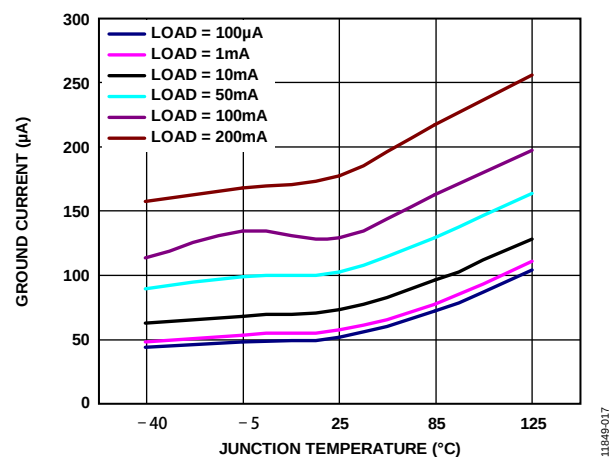
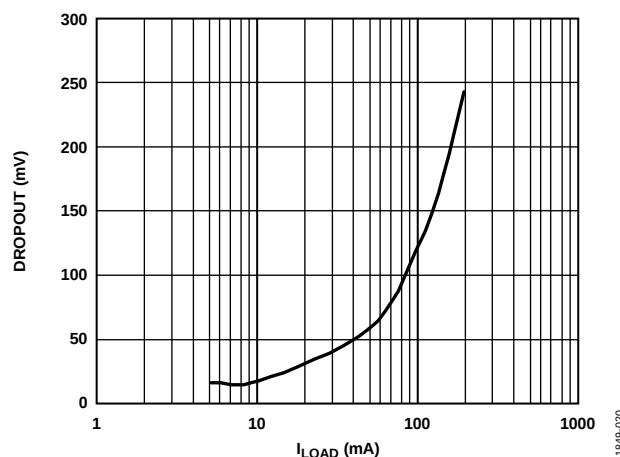
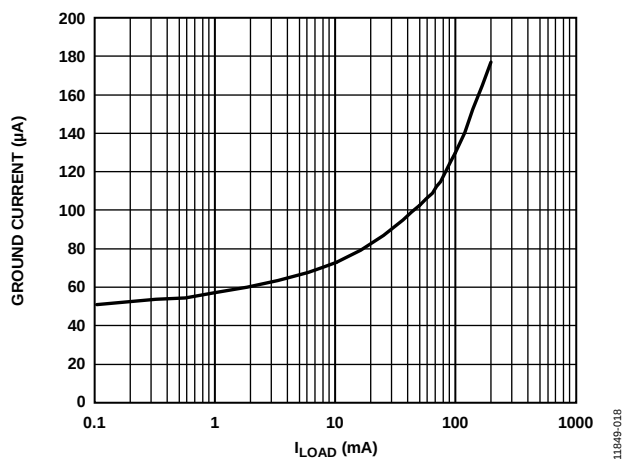
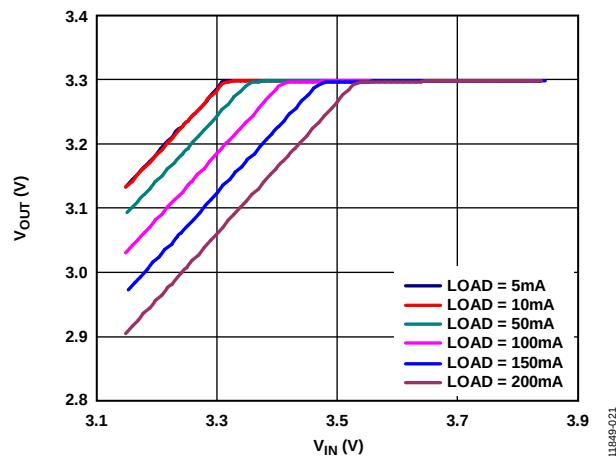


图17. 输出电压(V_{OUT})与负载电流(I_{LOAD})的关系, $V_{OUT} = 3.3 V$

图18. 输出电压(V_{OUT})与输入电压(V_{IN})的关系, $V_{OUT} = 3.3\text{ V}$ 图21. 接地电流与输入电压(V_{IN})的关系, $V_{OUT} = 3.3\text{ V}$ 图19. 接地电流与结温的关系($V_{OUT} = 3.3\text{ V}$)图22. 压差与负载电流(I_{LOAD})的关系, $V_{OUT} = 3.3\text{ V}$ 图20. 接地电流与负载电流(I_{LOAD})的关系, $V_{OUT} = 3.3\text{ V}$ 图23. 压差条件下输出电压(V_{OUT})与输入电压(V_{IN})的关系, $V_{OUT} = 3.3\text{ V}$

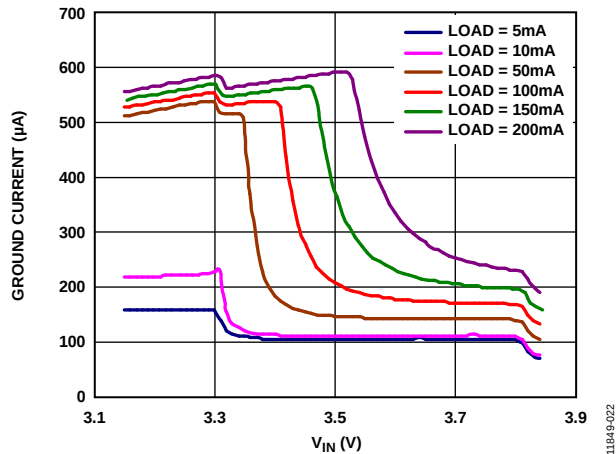


图24. 压差条件下接地电流与输入电压(V_{IN})的关系, $V_{OUT} = 3.3\text{ V}$

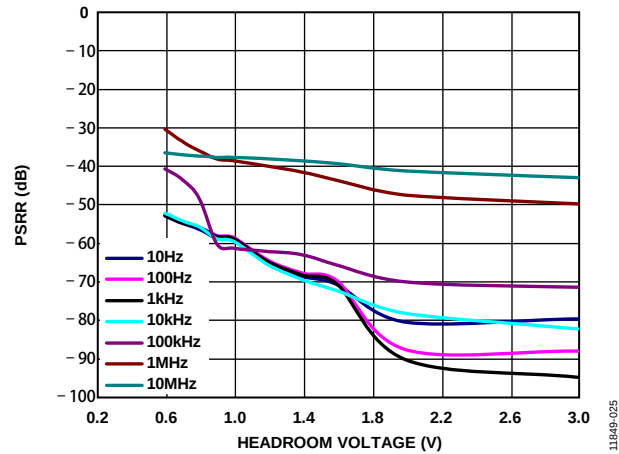


图27. 不同频率下电源抑制比(PSRR)与裕量电压的关系, $V_{OUT} = 1.8\text{ V}$

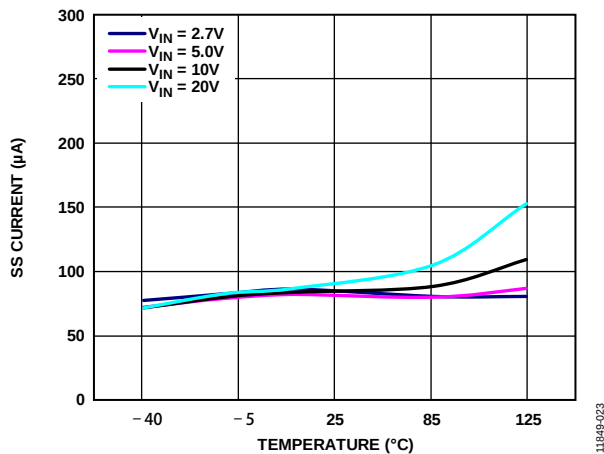


图25. 软启动(SS)电流与温度的关系, 多个输入电压, $V_{OUT} = 5\text{ V}$

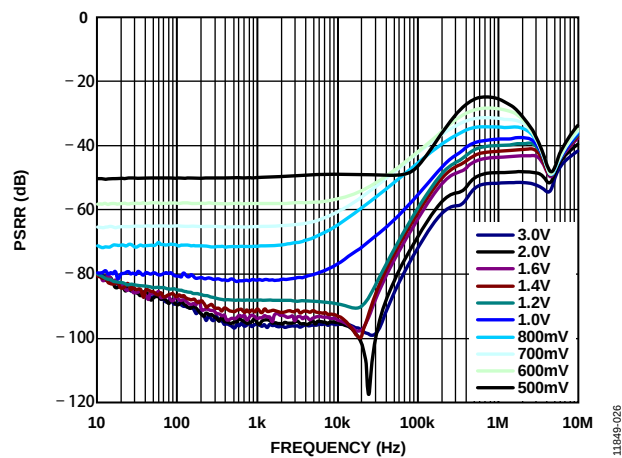


图28. 不同裕量电压下电源抑制比(PSRR)与频率的关系, $V_{OUT} = 3.3\text{ V}$

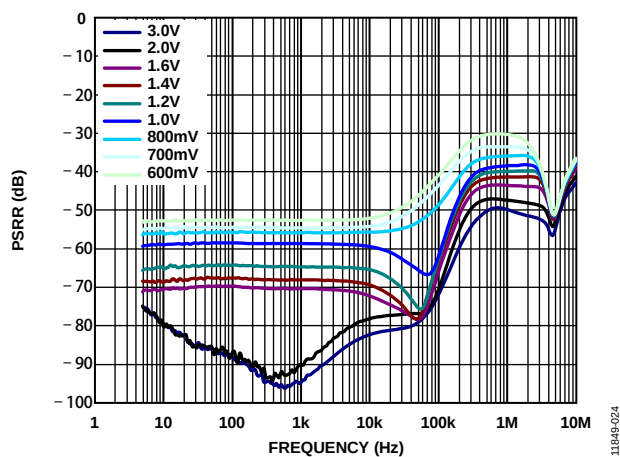


图26. 不同裕量电压下电源抑制比(PSRR)与频率的关系, $V_{OUT} = 1.8\text{ V}$

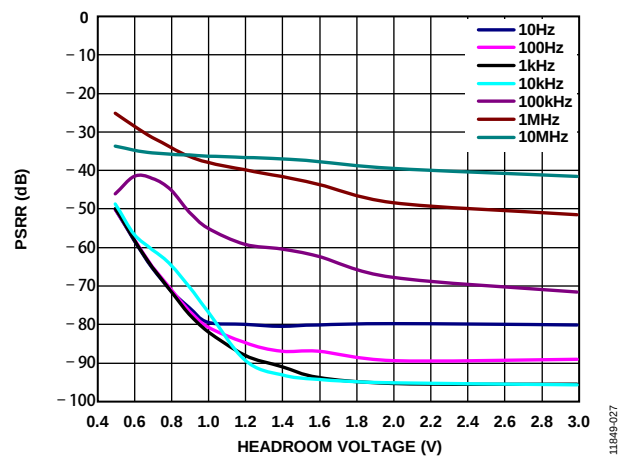


图29. 不同频率下电源抑制比(PSRR)与裕量电压的关系, $V_{OUT} = 3.3\text{ V}$

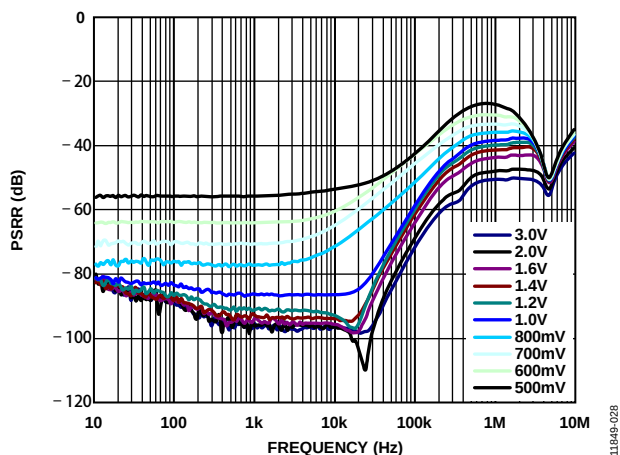


图30. 不同裕量电压下电源抑制比(PSRR)与频率的关系, $V_{OUT} = 5V$

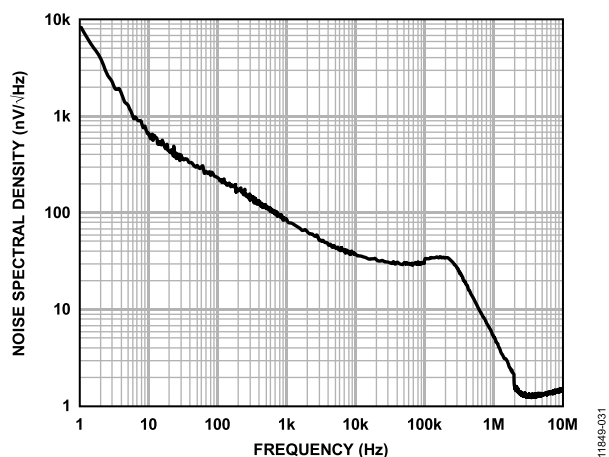


图33. 输出噪声谱密度与频率的关系, $I_{LOAD} = 10\text{ mA}$

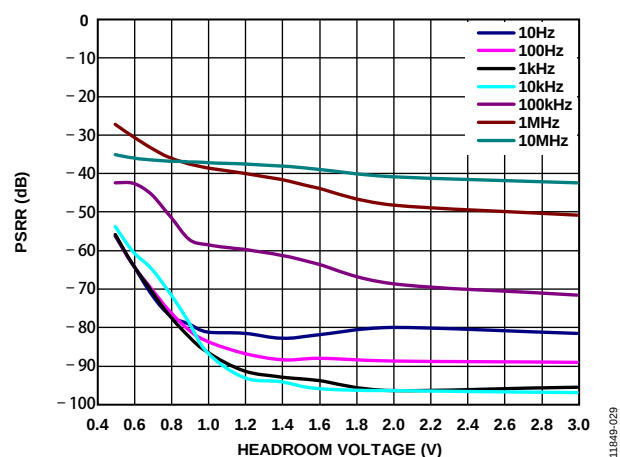


图31. 不同频率下电源抑制比(PSRR)与裕量电压的关系, $V_{OUT} = 5V$

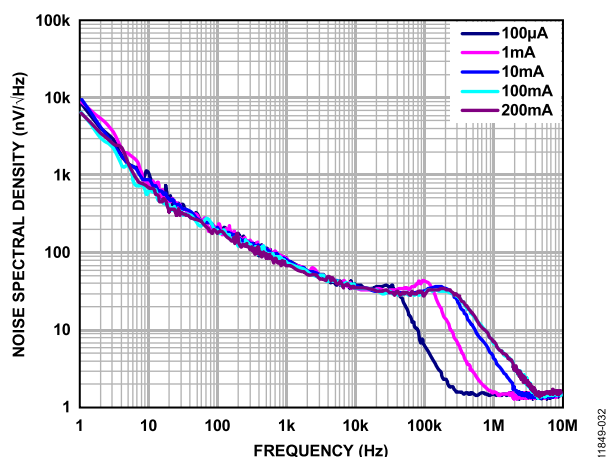


图34. 不同负载下输出噪声谱密度与频率的关系

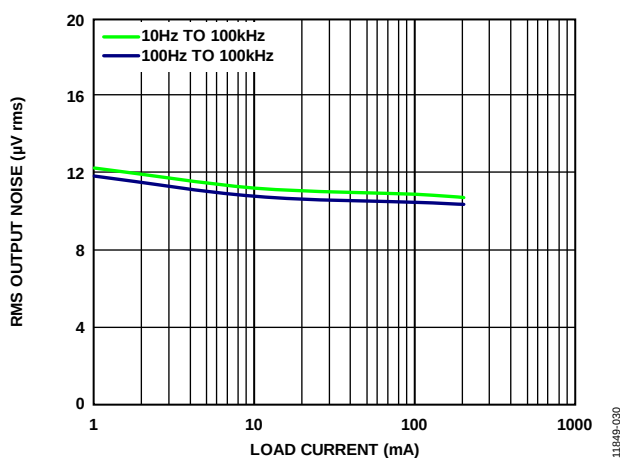


图32. RMS输出噪声与负载电流的关系

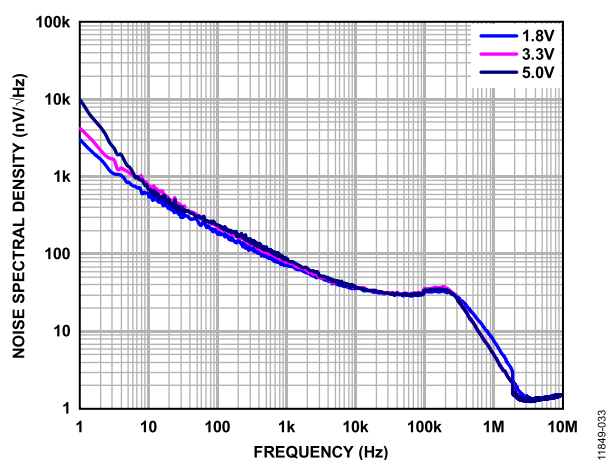


图35. 不同输出电压下输出噪声谱密度与频率的关系

ADP7118

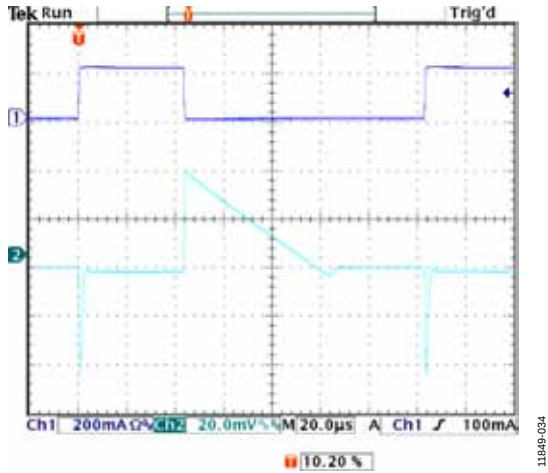


图36. 负载瞬态响应, $I_{LOAD} = 1 \text{ mA}$ 至 200 mA , $V_{OUT} = 5 \text{ V}$, $V_{IN} = 7 \text{ V}$, CH1 负载电流, CH2 V_{OUT}

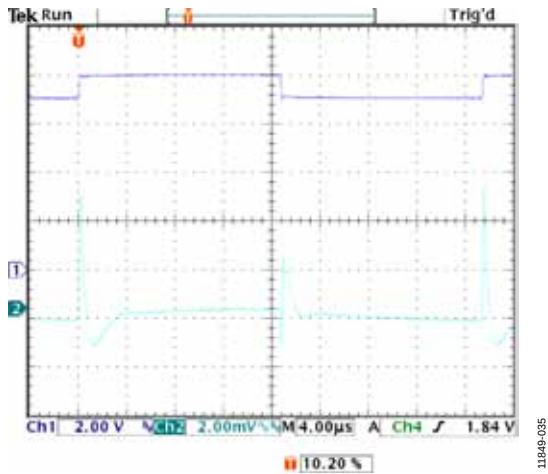


图37. 线路瞬态响应, $I_{LOAD} = 200 \text{ mA}$, $V_{OUT} = 5 \text{ V}$, CH1 V_{IN} , CH2 V_{OUT}

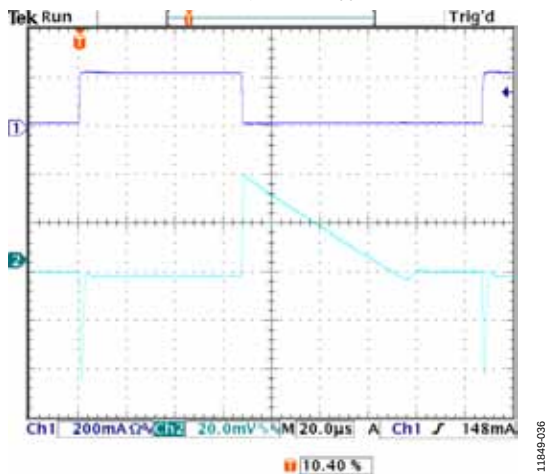


图38. 负载瞬态响应, $I_{LOAD} = 1 \text{ mA}$ 至 200 mA , $V_{OUT} = 3.3 \text{ V}$, $V_{IN} = 5 \text{ V}$, CH1 负载电流, CH2 V_{OUT}

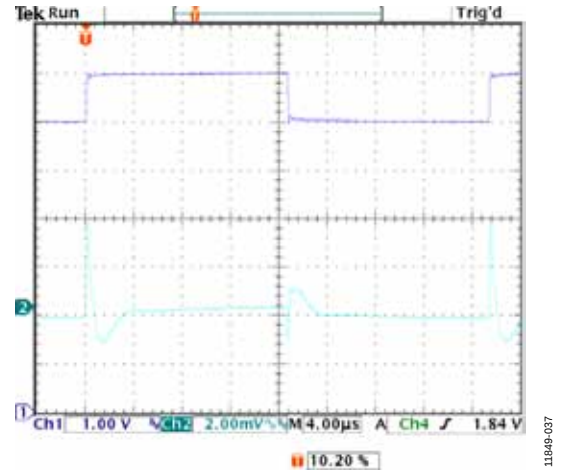


图39. 线路瞬态响应, $I_{LOAD} = 200 \text{ mA}$, $V_{OUT} = 3.3 \text{ V}$, CH1 V_{IN} , CH2 V_{OUT}

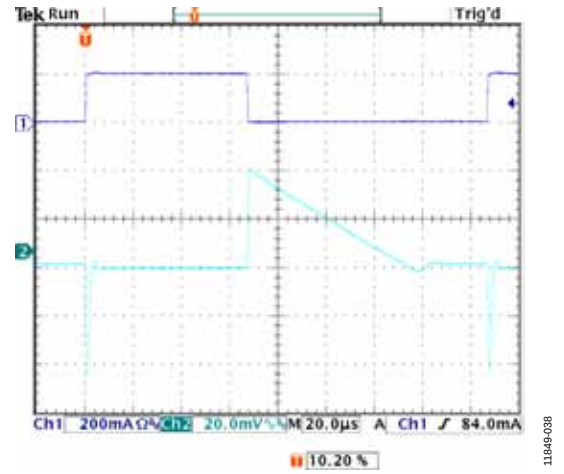


图40. 负载瞬态响应, $I_{LOAD} = 1 \text{ mA}$ 至 200 mA , $V_{OUT} = 1.8 \text{ V}$, $V_{IN} = 3 \text{ V}$, CH1 负载电流, CH2 V_{OUT}

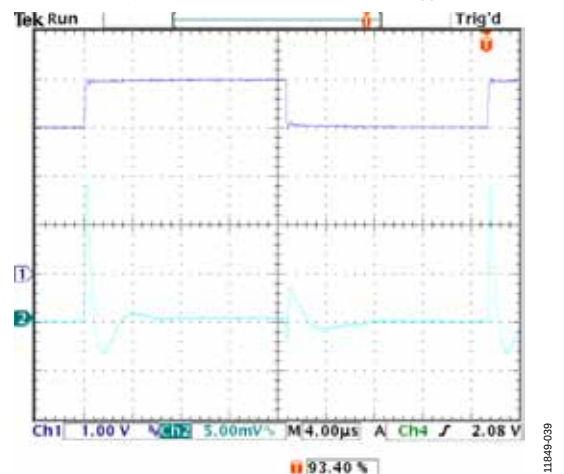


图41. 线路瞬态响应, $I_{LOAD} = 200 \text{ mA}$, $V_{OUT} = 1.8 \text{ V}$, CH1 V_{IN} , CH2 V_{OUT}

工作原理

ADP7118是一款低静态电流、LDO线性稳压器，采用2.7 V至20 V电源供电，最大输出电流为200 mA。满负载时静态电流典型值低至180 μ A，因此ADP7118非常适合便携式设备使用。室温时，关断模式下的功耗典型值低于3 μ A。

ADP7118经过优化，利用2.2 μ F小型陶瓷电容可实现出色的瞬态性能。

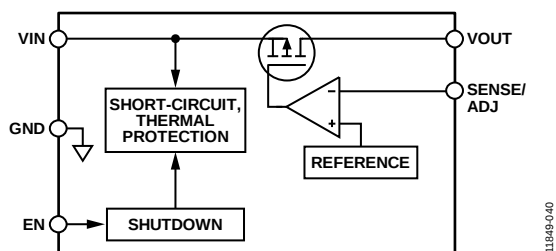


图42. 内部框图

ADP7118内置一个基准电压源、一个误差放大器、一个反馈分压器和一个PMOS调整管。输出电流经由PMOS调整管提供，其受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压低于基准电压，PMOS器件的栅极将被拉低，以便通过更多电流，提高输出电压。如果反馈电压高于基准电压，PMOS器件的栅极将被拉高，以便通过较少电流，降低输出电压。

ADP7118可提供1.2 V至5.0 V范围内的16种固定输出电压选项。ADP7118的架构允许通过外部电阻分压器将任意固定输出电压设为较高的电压。例如，根据下式，固定5 V输出可设为6 V输出：

$$V_{OUT} = 5 \text{ V} (1 + R1/R2) \quad (3)$$

其中，R1和R2是输出电阻分压器中的电阻，如图43所示。

若要设置可调节ADP7118的输出电压，可将公式3中的5 V替换为1.2 V。

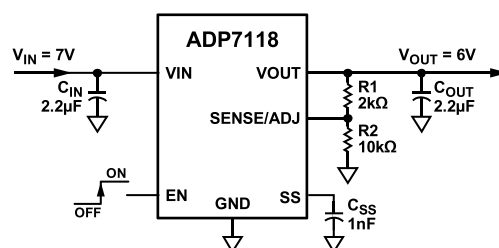


图43. 典型可调输出电压应用原理图

建议R2的值低于200 k Ω ，以便将SENSE/ADJ引脚输入电流引起的输出电压误差降至最低。例如，当R1和R2都是200 k Ω 且默认输出电压为1.2 V时，可调节输出电压为2.4 V。假设25°C时SENSE/ADJ引脚的典型输入电流为10 nA，则SENSE/ADJ引脚输入电流引起的输出电压误差为1 mV或0.04%。

在正常工作条件下，ADP7118利用EN引脚使能和禁用VOUT引脚。EN为高电平时，VOUT开启；EN为低电平时，VOUT关闭。若要实现自动启动，可将EN与VIN相连。

应用信息

ADIsimPOWER设计工具

ADIsimPower™设计工具支持ADP7118。ADIsimPower是一个工具集合，可以根据特定设计目标产生完整的电源设计。利用这些工具，用户只需几分钟就能生成完整原理图、物料清单并计算性能。ADIsimPower可以考虑IC和所有真实外部元件的工作条件与限制，并针对成本、面积、效率和器件数量优化设计。欲了解更多信息并获得ADIsimPower设计工具，请访问www.analog.com/ADIsimPower。

电容选择

输出电容

ADP7118设计采用节省空间的小型陶瓷电容，不过只要注意等效串联电阻(ESR)值要求，也可以采用通用的电容。输出电容的ESR会影响LDO控制回路的稳定性。为了确保ADP7118稳定工作，推荐使用至少2.2 μF、ESR为0.3 Ω或更小的电容。输出电容还会影响负载电流变化的瞬态响应。采用较大的输出电容值可以改善ADP7118对大负载电流变化的瞬态响应。图44显示输出电容值为2.2 μF时的瞬态响应。

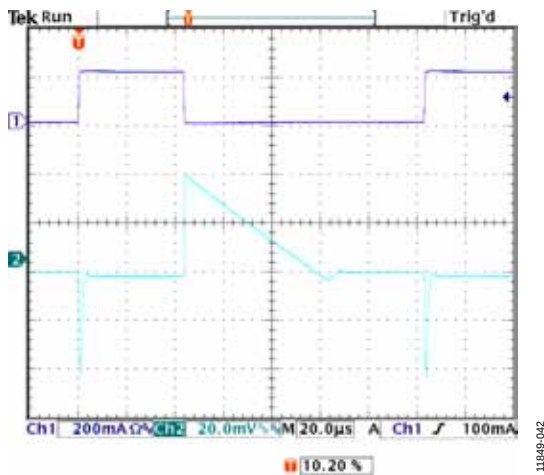


图44. 输出瞬态响应， $V_{OUT} = 5\text{ V}$ ， $C_{OUT} = 2.2\text{ μF}$ ，
CH1 = 负载电流，CH2 = V_{OUT}

输入旁路电容

在VIN至GND之间连接一个2.2 μF 电容可以降低电路对PCB 布局布线的敏感性，特别是遇到长输入走线或高信号源阻抗时。如果要求输出电容大于2.2 μF，可选用更高的输入电容。

输入和输出电容特性

只要符合最小电容和最大ESR要求，ADP7118可以采用任何质量优良的陶瓷电容。陶瓷电容可采用各种各样的电介

质制造，温度和所施加的电压不同，其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为6.3 V至100 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和直流偏置特性不佳，建议不要使用。

图45所示为0805、2.2 μF、10 V、X5R电容的电容与电压偏置特性关系图。电容的电压稳定性受电容尺寸和电压额定值影响极大。一般而言，封装较大或电压额定值较高的电容具有较好的稳定性。X5R电介质的温度变化率在-40°C至+85°C温度范围内约为±15%，与封装或电压额定值没有函数关系。

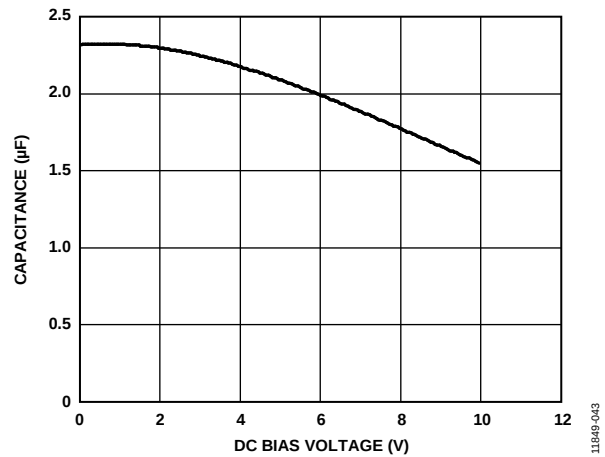


图45. 电容与电压关系特性

考虑电容随温度、元件容差和电压的变化，可以利用公式1确定最差情况下的电容。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (4)$$

其中：

C_{BIAS} 为工作电压下的有效电容。

TEMPCO是最差情况下的电容温度系数。

TOL是最差情况下的元件容差。

本例中，假定X5R电介质在-40°C至+85°C范围内的最差条件温度系数(TEMPCO)为15%。如图45所示，在5 V电压下，假定电容容差(TOL)为10%， $C_{BIAS} = 2.09\text{ μF}$ 。

公式1中的这些值可得到：

$$C_{EFF} = 2.09\text{ μF} \times (1 - 0.15) \times (1 - 0.1) = 1.59\text{ μF} \quad (5)$$

因此，在选定输出电压条件下，本例中所选电容满足LDO在温度和容差方面的最小电容要求。

为了保证ADP7118的性能,必须针对每一种应用来评估直流偏置、温度和容差对电容性能的影响。

可编程精密使能

在正常工作条件下,ADP7118利用EN引脚使能和禁用VOUT引脚。如图46所示,当EN上的上升电压越过阈值上限(标称值为1.2 V)时,VOUT开启。当EN上的下降电压越过阈值下限(标称值为1.1 V)时,VOUT关闭。EN阈值的迟滞约为100 mV。

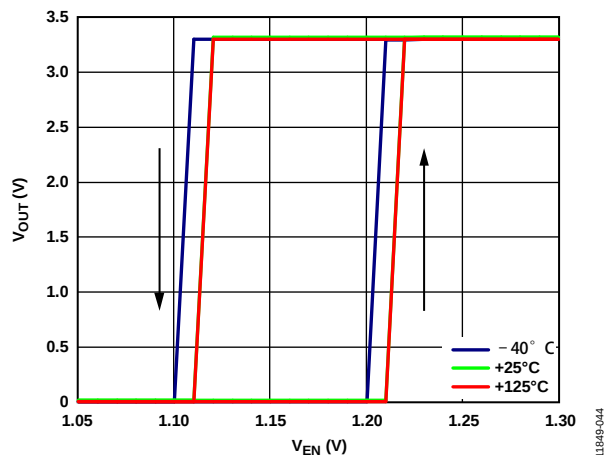


图46. 对EN引脚工作方式的典型VOUT响应

阈值上限和下限是用户可编程的,可以利用两个电阻设为高于标称阈值1.2 V。电阻值 R_{EN1} 和 R_{EN2} 可确定如下:

$$R_{EN2} = \text{标称 } 10 \text{ k}\Omega \text{ 至 } 100 \text{ k}\Omega \quad (6)$$

$$R_{EN1} = R_{EN2} \times (V_{IN} - 1.2 \text{ V}) / 1.2 \text{ V} \quad (7)$$

其中:

V_{IN} 为所需的开启电压。

迟滞电压上升系数为 $(R_{EN1} + R_{EN2}) / R_{EN1}$ 。在图47所示的例子中,使能阈值为3.6 V,迟滞为300 mV。

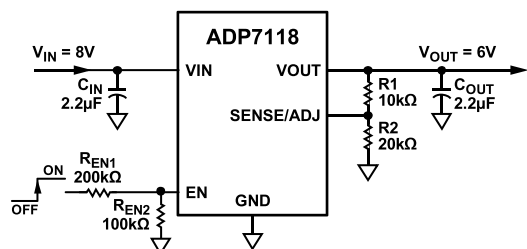


图47. EN引脚的典型分压器

图46显示了EN引脚的典型迟滞。这可以防止EN引脚上的噪声在经过阈值点时引起开关振荡。

ADP7118利用内置软启动功能(SS引脚开路),在输出使能时限制浪涌电流。对于3.3 V选项,从越过EN有效阈值到输出达到其最终值90%的启动时间约为380 μs。如图48所示,启动时间取决于输出电压设置。

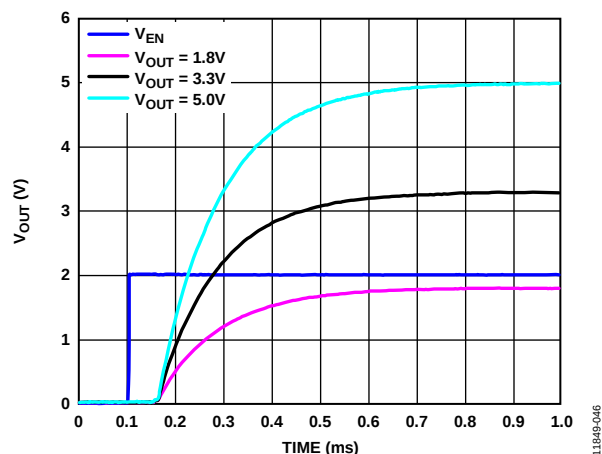


图48. 典型启动性能

软启动

连接到SS引脚的一个外部电容决定软启动时间。SS引脚保持开路可获得380 μs典型启动时间。请勿将此引脚接地。使用外部软启动电容(C_{SS})时,软启动时间由下式确定:

$$SS_{TIME} (\mu s) = 380 \mu s + 0.6 \times C_{SS} \quad (8)$$

其中, C_{SS} 的单位为法拉。

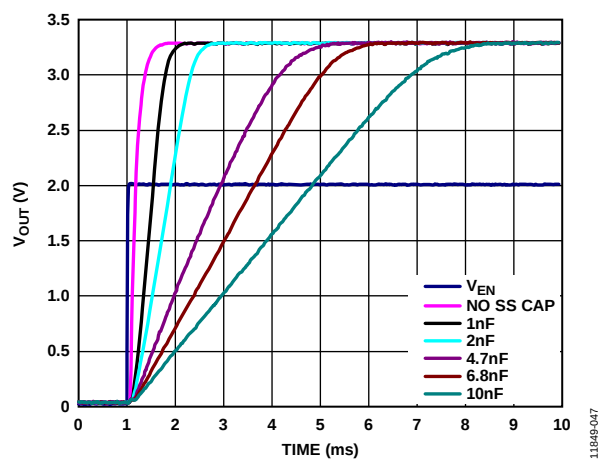


图49. 不同 C_{SS} 下的典型软启动性能

ADP7118

ADP7118可调模式的降噪特性

ADP7118的超低输出噪声特性是通过如下方法实现的：LDO误差放大器保持单位增益，并设置基准电压等于输出电压。一般而言，这种架构不适用于可调输出电压LDO。然而，ADP7118架构允许通过外部分压器将任意固定输出电压设为较高的电压。例如，根据公式3，固定5 V输出可设为10 V输出(见图50)：

$$V_{OUT} = 5 V(1 + R1/R2)$$

以这种方式使用ADP7118的缺点是输出电压噪声与输出电压成正比。因此，固定输出电压最好选择接近目标电压，以便最大程度减少输出噪声的增加。

可以对可调LDO电路进行修改，将输出电压噪声降低到与固定输出ADP7118接近的水平。图50所示的电路在输出电压设置电阻分压器上增加了两个元件： C_{NR} 和 R_{NR} ，它们与 $R1$ 并联，用以降低误差放大器的交流增益。选择 R_{NR} ，使其相对 $R2$ 而言较小。如果 R_{NR} 为 $R2$ 的1%至10%，则误差放大器的最小交流增益约为0.1 dB至0.8 dB。实际增益取决于 R_{NR} 和 $R1$ 的并联组合。该增益可确保误差放大器始终以略为大于单位增益工作。

选择的 C_{NR} 应使得在频率为1 Hz至50 Hz时， C_{NR} 的电抗等于 $R1 - R_{NR}$ 。由此设置的频率将使得误差放大器的交流增益比直流增益低3 dB。

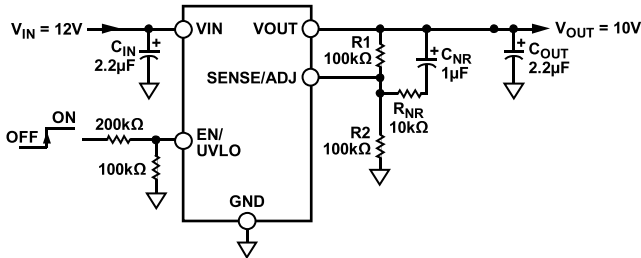


图50. 降噪更改

可调LDO的噪声可通过下式计算，计算时假定固定输出LDO的噪声约为11 μV：

$$\text{噪声} = 11 \mu V \times (R_{PAR} + R2)/R2 \quad (9)$$

其中， R_{PAR} 是 $R1$ 和 R_{NR} 的并联组合。

基于图50所示的元件值，ADP7118具有下列特性：

- 直流增益：10 (20 dB)
- 3 dB滚降频率：1.75 Hz
- 高频交流增益：1.099 (0.82dB)
- 理论降噪系数：9.1 (19.2 dB)
- 无降噪功能的可调LDO的测量rms噪声：70 μV rms
- 带降噪功能的可调LDO的测量rms噪声：12 μV rms
- 测得的降噪约为15.3 dB

注意，测得的降噪低于理论降噪。图51显示可调型ADP7118分别在有降噪网络和无降噪网络的情况下设为6 V和12 V时的噪声频谱密度。两种电压下，带降噪网络的输出噪声大致相等，尤其是高于100 Hz的情况下。6 V和12 V输出时，不带降噪网络的噪声约相差2倍，最高可达大约20 kHz。高于40 kHz，则误差放大器的闭环增益受限于其开环增益特性。因此，如果误差放大器具有无限带宽，那么20 kHz至100 kHz噪声贡献将小于此范围内应有的水平。这也是为什么噪声低于仅仅根据直流增益而预期应有的水平，即70 μV rms低于110 μV rms。

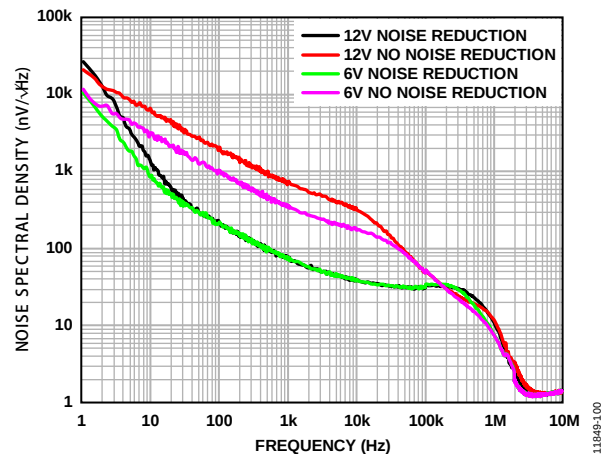


图51. 使用以及不使用降噪网络时的6 V和12 V输出电压

限流和热过载保护

ADP7118内置限流和热过载保护电路，可防止功耗过大导致受损。当输出负载达到400 mA(典型值)时，限流电路就会起作用。当输出负载超过400 mA时，输出电压会被降低，以保持恒定的电流限制。

热过载保护电路将结温限制在150°C(典型值)以下。在极端条件下(即高环境温度和/或高功耗),当结温开始升至150°C以上时,输出就会关闭,从而将输出电流降至0。当结温降至135°C以下时,输出又会开启,输出电流恢复为工作值。

考虑VOUT至地发生负载短路的情况。首先,ADP7118的限流功能起作用,因此,仅有400 mA电流传导至短路电路。如果结的自发热量足够大,使其温度升至150°C以上,热关断功能就会激活,输出关闭,输出电流降至0。当结温冷却下来,降至135°C以下时,输出开启,将400 mA电流传导至短路路径中,再次导致结温升至150°C以上。结温在135°C至150°C范围内的热振荡导致电流在400 mA和0 mA之间振荡;只要输出端存在短路,振荡就会持续下去。

限流和热过载保护可保护器件免受偶然过载条件影响。为保证器件稳定工作,必须从外部限制器件的功耗,使结温不会超过125°C。

散热考虑

在输入至输出电压差很小的应用中,ADP7118不会产生很多热量。然而,在环境温度很高和/或输入电压很大的应用中,封装发出的热量可能非常大,导致芯片结温超过最高结温125°C。

当结温超过150°C时,转换器进入热关断模式。只有当结温降至135°C及以下时,它才会恢复,以免永久性受损。因此,为了保证器件在所有条件下具有可靠性能,必须对具体应用进行热分析。芯片的结温为环境温度与功耗所引起的封装温升之和,如公式2所示。

为保证器件可靠工作,ADP7118的结温不得超过125°C。为确保结温低于此最高结温,用户需要注意会导致结温变化的参数。这些参数包括环境温度、功率器件的功耗、结与周围空气之间的热阻(θ_{JA})。 θ_{JA} 值取决于所用的封装填充物和将封装GND引脚焊接到PCB所用的覆铜数量。

表6给出了各种PCB覆铜尺寸时8引脚SOIC、6引脚LFCSP和5引脚TSOT封装的典型 θ_{JA} 值。表7给出了8引脚SOIC、6引脚LFCSP和5引脚TSOT封装的典型 Ψ_{JB} 值。

表6. 典型 θ_{JA} 值

覆铜面积(mm ²)	θ_{JA} (°C/W)		
	LFCSP	SOIC	TSOT
25 ¹	182.8	N/A ²	N/A ²
50	N/A ²	181.4	152
100	142.6	145.4	146
500	83.9	89.3	131
1000	71.7	77.5	N/A ²
6400	57.4	63.2	N/A ²

¹ 器件焊接在最小尺寸引脚走线上。

² N/A表示不适用。

表7. 典型 Ψ_{JB} 值

型号	Ψ_{JB} (°C/W)
6引脚 LFCSP	24
8引脚 SOIC	38.8
5引脚 TSOT	43

为了计算ADP7118的结温,我们使用公式1。

$$T_J = T_A + (P_D \times \theta_{JA})$$

其中:

T_A 是环境温度。

P_D 为芯片的功耗,通过下式计算:

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (10)$$

其中:

V_{IN} 和 V_{OUT} 分别为输入和输出电压。

I_{LOAD} 为负载电流。

I_{GND} 为接地电流。

接地电流引起的功耗相当小,可忽略不计。因此,结温的计算公式可简化为:

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (11)$$

如公式4所示,针对给定的环境温度、输入与输出电压差和连续负载电流,需满足PCB的最小覆铜尺寸要求,以确保结温不升至125°C以上。图52至图60显示不同环境温度、功耗和PCB覆铜面积下的结温计算结果。

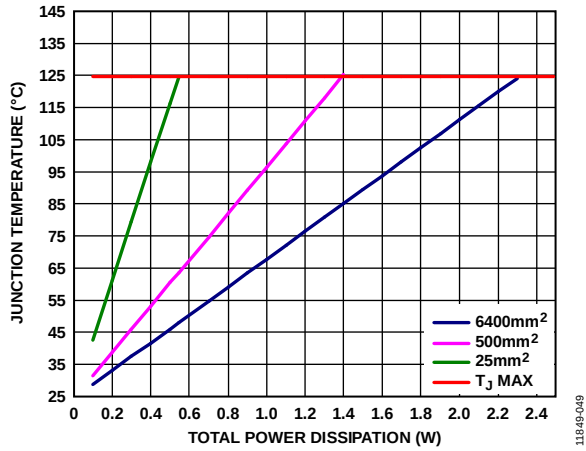


图52. LFCSP封装, $T_A = 25^{\circ}\text{C}$

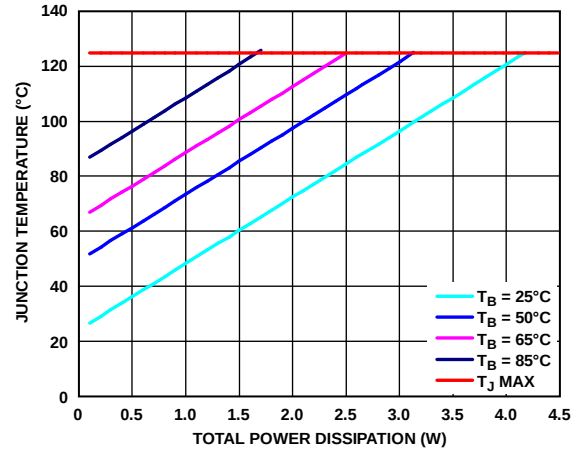


图55. SOIC封装, $T_A = 25^{\circ}\text{C}$

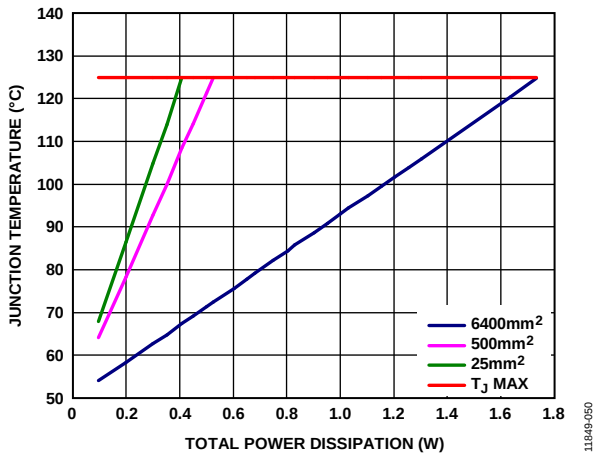


图53. LFCSP封装, $T_A = 50^{\circ}\text{C}$

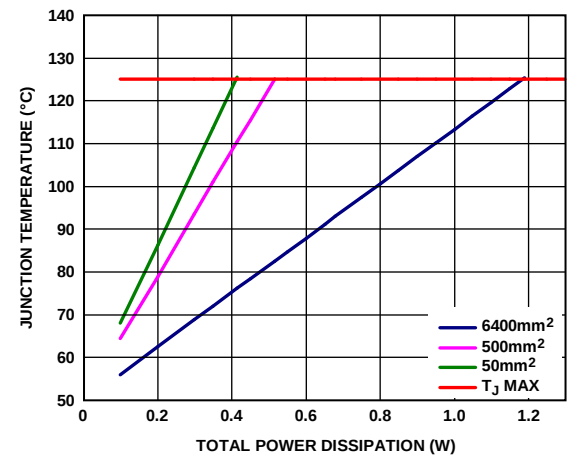


图56. SOIC封装, $T_A = 50^{\circ}\text{C}$

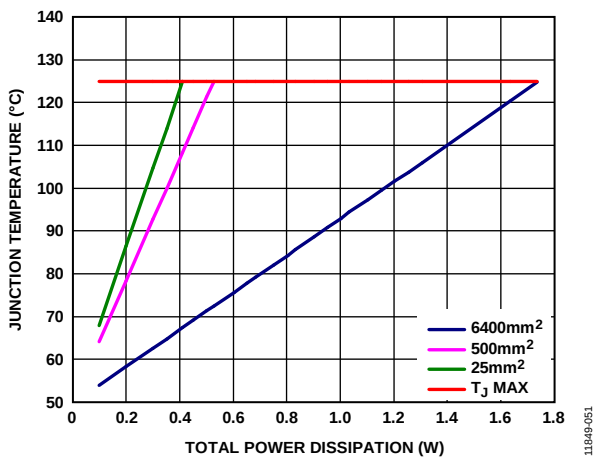


图54. LFCSP封装, $T_A = 85^{\circ}\text{C}$

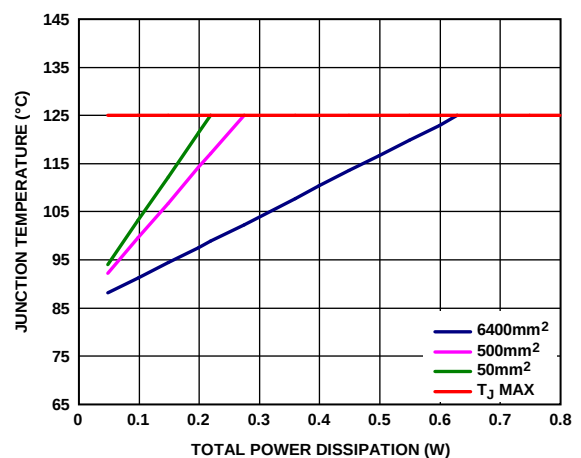
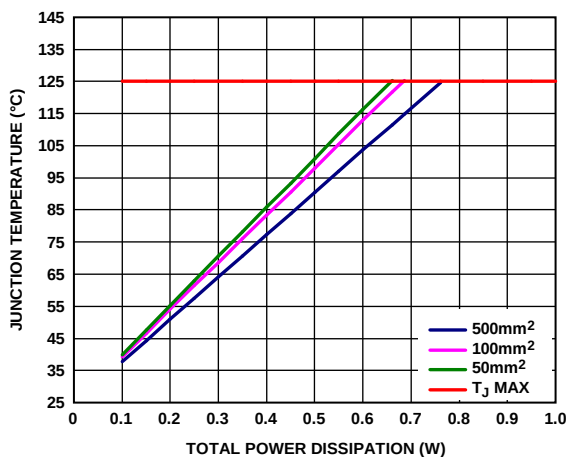
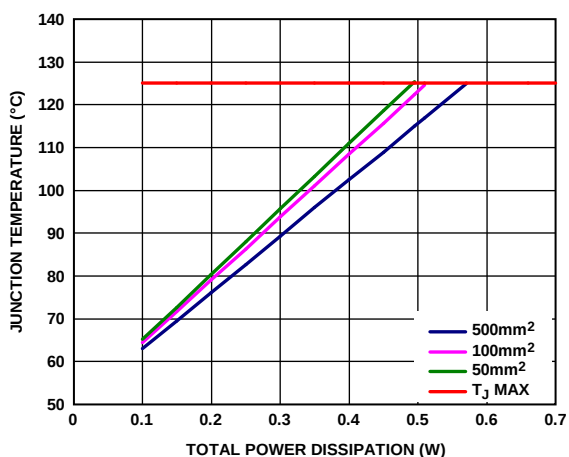
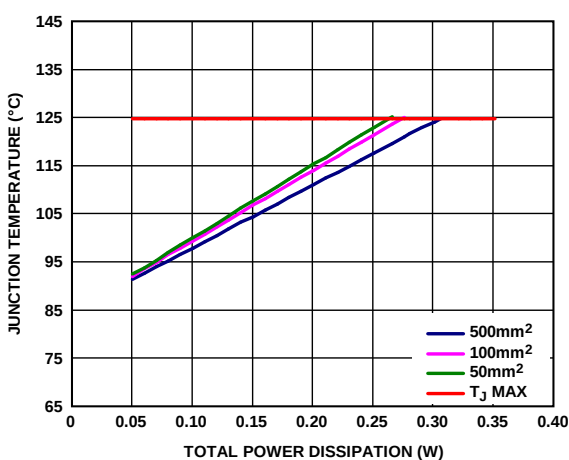


图57. SOIC封装, $T_A = 85^{\circ}\text{C}$

图58. TSOT封装, $T_A = 25^\circ\text{C}$ 图59. TSOT封装, $T_A = 50^\circ\text{C}$ 图60. TSOT封装, $T_A = 85^\circ\text{C}$

在已知板温的情况下, 可以利用热特性参数(Ψ_{JB})来估算结温上升情况(见图61、图62和图63)。利用等式2计算最大结温。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

在8引脚LFCSP封装、8引脚SOIC封装和5引脚TSOT封装中, Ψ_{JB} 典型值分别为 24°C/W 、 38.8°C/W 和 43°C/W 。

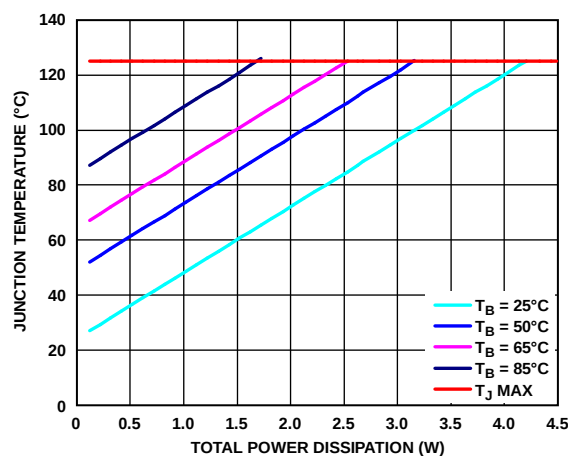


图61. 不同板温下LFCSP结温的上升情况

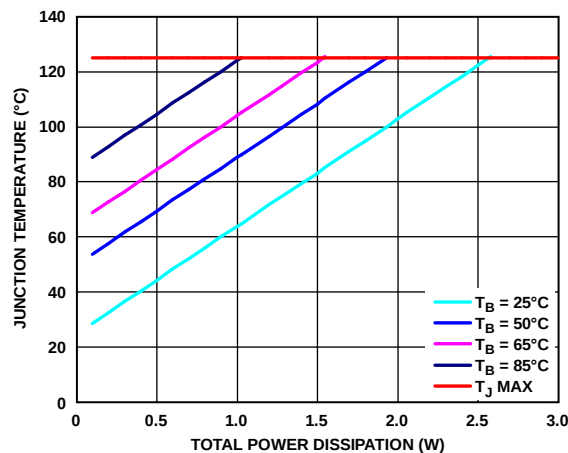


图62. 不同板温下SOIC结温的上升情况

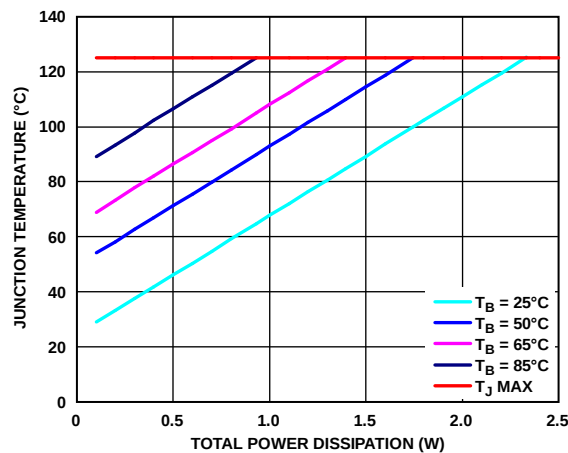


图63. 不同板温下TSOT结温的上升情况

印刷电路板布局考量

通过增加ADP7118引脚处的覆铜用量，可改善封装的散热性能。但是，如表6所示，这种增加存在效益递减现象，当覆铜量达到某一数量点后，再继续增加覆铜的用量并不会带来明显的散热效益。

输入电容应尽可能靠近VIN和GND引脚放置。输出电容应尽可能靠近VOUT和GND引脚放置。在板面积受限的情况下，采用0805或1206尺寸的电容和电阻可实现最小尺寸解决方案。

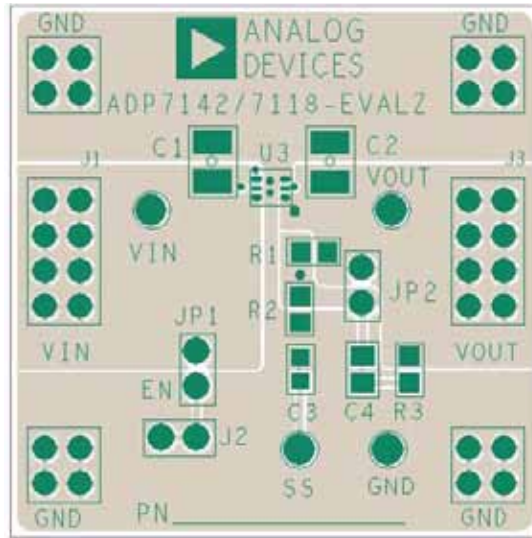


图64. LFCSP PCB布局示例

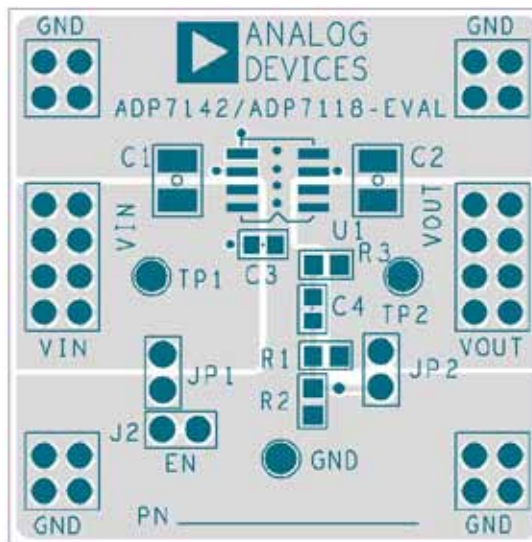


图65. SOIC PCB布局示例

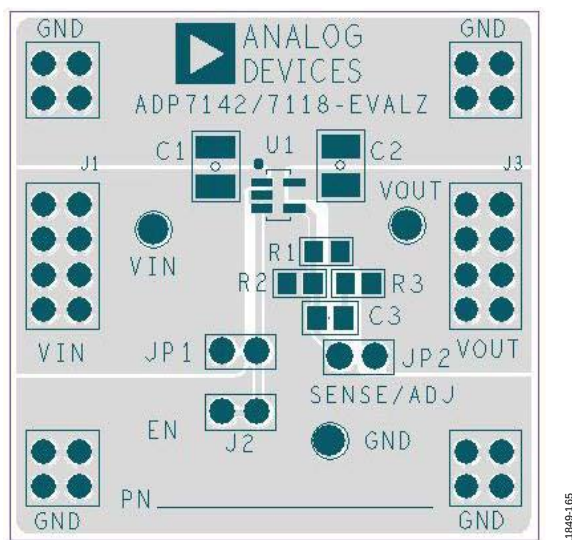


图66. TSOT PCB布局示例

表8. 建议用于极低噪声工作条件的LDO

器件编号	V_{IN} 范围 (V)	V_{OUT} 固定值 (V)	V_{OUT} 调节值 (V)	I_{OUT} (mA)	I_{OUT} 时的 I_Q (μ A)	I_{GND-SD} 最大值 (μ A)	软启动	P_{GOOD}	噪声(固定) 10 Hz至 100 kHz (μ V rms)	PSRR 100 kHz (dB)	PSRR 1 MHz	封装
ADP7102	3.3至20	1.5至9	1.22至19	300	750	75	否	是	15	60	40 dB	3 × 3mm 8引脚 LFCSP、 8引脚 SOIC
ADP7104	3.3至20	1.5至9	1.22至19	500	900	75	否	是	15	60	40 dB	3 × 3mm 8引脚 LFCSP、 8引脚 SOIC
ADP7105	3.3至20	1.8, 3.3, 5	1.22至19	500	900	75	是	是	15	60	40 dB	3 × 3mm 8引脚 LFCSP、 8引脚 SOIC
ADP7118	2.7至20	1.2至5	1.2至19	200	160	10	是	否	11	68	50 dB	2 × 2mm 6引脚 LFCSP、 8引脚 SOIC、 5引脚 TSOT
ADP7142	2.7至40	1.2至5	1.2至39	200	160	10	是	否	11	68	50 dB	2 × 2mm 6引脚 LFCSP、 8引脚 SOIC、 5引脚 TSOT
ADP7182	-2.7至-28	-1.8至-5	-1.22至-27	-200	-650	-8	否	否	18	45	45 dB	2 × 2mm 6引脚 LFCSP、 3 × 3mm 8引脚 LFCSP、 5引脚 TSOT

表9. 相关器件

型号	输入电压(V)	输出电流(mA)	封装
ADP7142CP	2.7至20	200	6引脚 LFCSP
ADP7142RD	2.7至20	200	8引脚 SOIC
ADP7142UJ	2.7至20	200	5引脚 TSOT
ADP7112CB	2.7至20	200	4引脚 WLCSP

外形尺寸

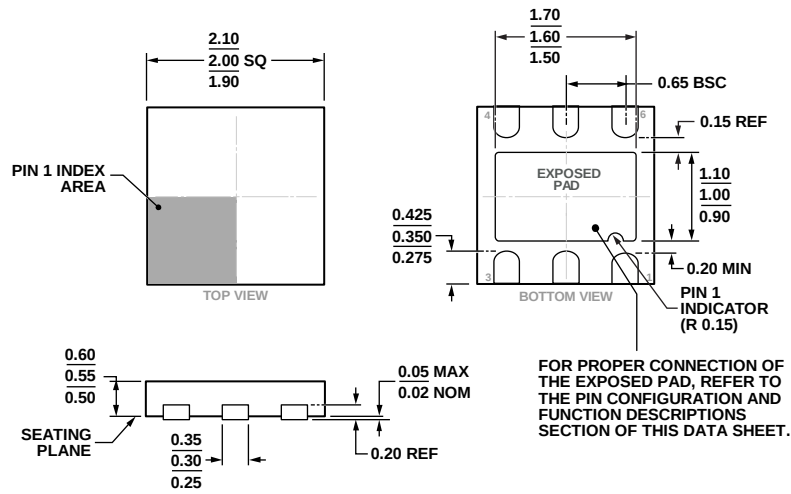
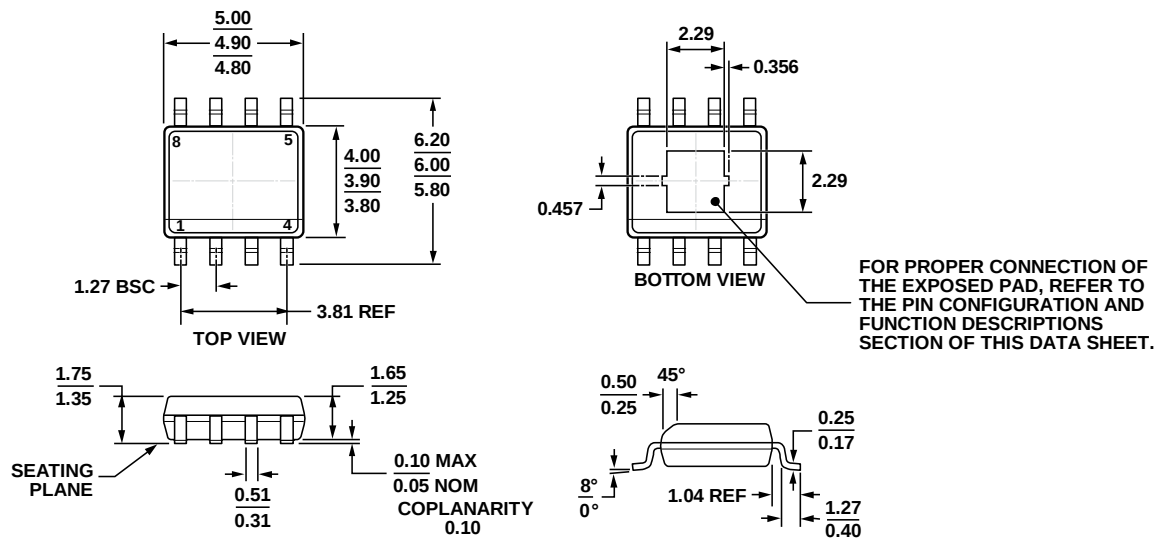


图67. 6引脚脚架构芯片级封装[LFCSP_UD]

2.00 mm × 2.00 mm超薄体双引脚

(CP-6-3)

图示尺寸单位: mm



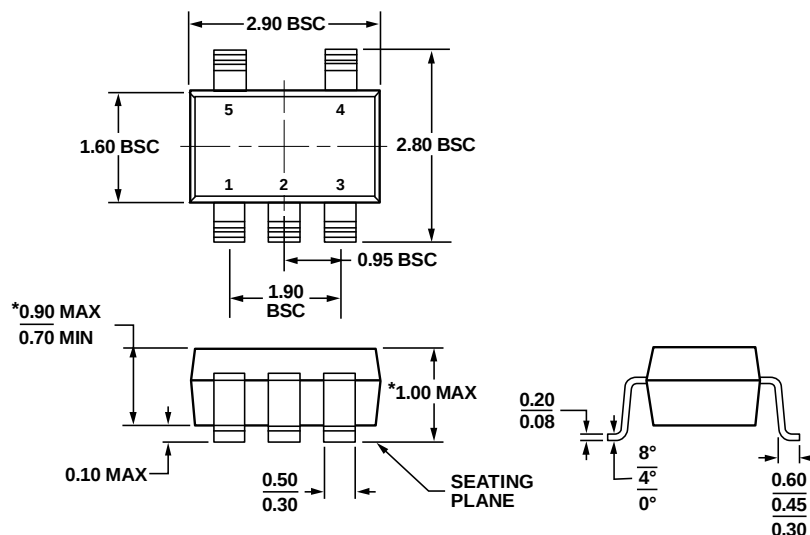
COMPLIANT TO JEDEC STANDARDS MS-012-AA

图68. 8引脚标准小型封装, 带裸露焊盘[SOIC_N_EP]

窄体

(RD-8-1)

图示尺寸单位: mm



*COMPLIANT TO JEDEC STANDARDS MO-193-AB WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

图69. 5引脚超薄小型晶体管封装[TSOT]
(UJ-5)

尺寸单位: mm

1100708-A

订购指南

型号 ¹	温度范围	输出电压(V) ^{2,3}	封装描述	封装选项	标识
ADP7118ACPZN-R7	-40°C至+125°C	可调(1.2 V)	6引脚 LFCSP_UD	CP-6-3	LP9
ADP7118ACPZN-1.8-R7	-40°C至+125°C	1.8	6引脚 LFCSP_UD	CP-6-3	LPA
ADP7118ACPZN-2.5-R7	-40°C至+125°C	2.5	6引脚 LFCSP_UD	CP-6-3	LPB
ADP7118ACPZN-3.3-R7	-40°C至+125°C	3.3	6引脚 LFCSP_UD	CP-6-3	LPC
ADP7118ACPZN-5.0-R7	-40°C至+125°C	5	6引脚 LFCSP_UD	CP-6-3	LPD
ADP7118ARDZ	-40°C至+125°C	可调(1.2 V)	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-R7	-40°C至+125°C	可调(1.2 V)	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-1.8	-40°C至+125°C	1.8	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-1.8-R7	-40°C至+125°C	1.8	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-2.5	-40°C至+125°C	2.5	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-2.5-R7	-40°C至+125°C	2.5	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-3.3	-40°C至+125°C	3.3	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-3.3-R7	-40°C至+125°C	3.3	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-5.0	-40°C至+125°C	5	8引脚 SOIC_N_EP	RD-8-1	
ADP7118ARDZ-5.0-R7	-40°C至+125°C	5	8引脚 SOIC_N_EP	RD-8-1	
ADP7118AUJZ-R2	-40°C至+125°C	可调(1.2 V)	5引脚 TSOT	UJ-5	LP9
ADP7118AUJZ-R7	-40°C至+125°C	可调(1.2 V)	5引脚 TSOT	UJ-5	LP9
ADP7118AUJZ-1.8-R7	-40°C至+125°C	1.8	5引脚 TSOT	UJ-5	LPA
ADP7118AUJZ-2.5-R7	-40°C至+125°C	2.5	5引脚 TSOT	UJ-5	LPB
ADP7118AUJZ-3.3-R7	-40°C至+125°C	3.3	5引脚 TSOT	UJ-5	LPC
ADP7118AUJZ-5.0-R7	-40°C至+125°C	5	5引脚 TSOT	UJ-5	LPD
ADP7118UJ-EVALZ		3.3	TSOT评估板		
ADP7118CP-EVALZ		3.3	LFCSP评估板		
ADP7118RD-EVALZ		3.3	SOIC评估板		

¹ Z = 符合RoHS标准的器件。

² 如需其它电压选项, 请联系当地的ADI公司办事处或代理商。

³ 评估板预配置有可调节ADP7118。

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [LDO Voltage Regulators](#) category:

Click to view products by [Analog Devices](#) manufacturer:

Other Similar products are found below :

[AP7363-SP-13](#) [NCV8664CST33T3G](#) [L79M05TL-E](#) [AP7362-HA-7](#) [PT7M8202B12TA5EX](#) [TCR3DF185,LM\(CT](#) [TLF4949EJ](#)
[NCP4687DH15T1G](#) [NCV8703MX30TCG](#) [LP2951CN](#) [NCV4269CPD50R2G](#) [AP7315-25W5-7](#) [NCV47411PAAJR2G](#) [AP2111H-1.2TRG1](#)
[ZLDO1117QK50TC](#) [AZ1117ID-ADJTRG1](#) [NCV4263-2CPD50R2G](#) [NCP114BMX075TCG](#) [MC33269T-3.5G](#) [TLE4471GXT](#) [AP7315-33SA-](#)
[7](#) [NCV4266-2CST33T3G](#) [NCP715SQ15T2G](#) [NCV8623MN-50R2G](#) [NCV563SQ18T1G](#) [NCV8664CDT33RKG](#) [NCV4299CD250R2G](#)
[NCV8702MX25TCG](#) [TLE7270-2E](#) [NCV562SQ25T1G](#) [AP2213D-3.3TRG1](#) [AP2202K-2.6TRE1](#) [NCV8170BMX300TCG](#)
[NCV8152MX300180TCG](#) [NCP700CMT45TBG](#) [AP7315-33W5-7](#) [NCP154MX180300TAG](#) [AP2113AMTR-G1](#) [NJW4104U2-33A-TE1](#)
[MP2013AGG-5-P](#) [NCV8775CDT50RKG](#) [NJM2878F3-45-TE1](#) [S-19214B00A-V5T2U7](#) [S-19214B50A-V5T2U7](#) [S-19213B50A-V5T2U7](#) [S-](#)
[19214BC0A-E8T1U7*1](#) [S-19213B00A-V5T2U7](#) [S-19213B33A-V5T2U7](#) [S-19213BC0A-V5T2U7](#) [S-1313D18-N4T1U4](#)